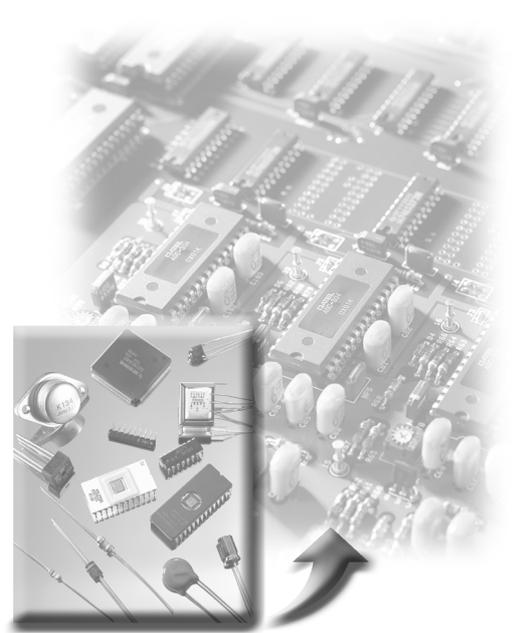


chapter 3

積體電路製作



積體電路從 1959 年 Texas Instrument 的 Kilby 發明以來 (圖 3.1) , 進步可說是一日千里 , 對人類的生活與文明也產生了巨大的影響。積體電路將電阻、電容、二極體、電晶體與導線等電子元件 , 有系統的作在單晶的基材上。與過去各個元件是各自獨立分離 , 再以導線將這些元件連結的方法比較 , 積體電路的作法大幅的縮小了電子產品的重量與體積。雖然 Kilby 的發明是作在單晶鎳的基材上 , 但是隨後單晶矽立刻佔據絕大部份的市場。主要原因為以鎳為材料的半導體元件在高溫時有極大的漏電

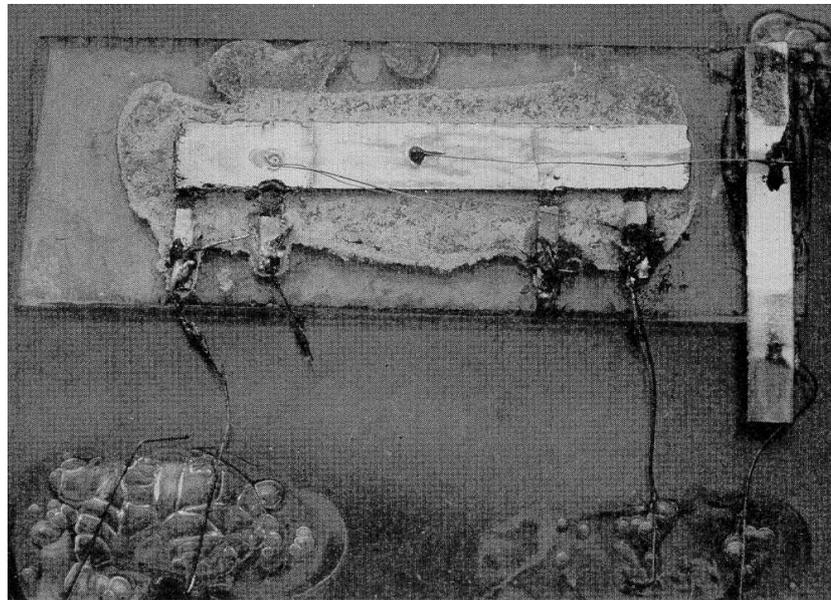


圖 3.1 Kilby 製作的第一個積體電路 (Courtesy of Texas Instrument)

流，同時銻的氧化物為水溶性；而矽具有較低的漏電流，矽的氧化層容易製造，加上地球上矽的含量多，矽因此成為現今積體電路的主要材料，圖 3.2 所示是第一個以矽晶圓為基材的積體電路。

積體電路製作的技術隨著時間進步很快，在 1960 年代積體電路發展之初，圖案的大小（線路的距離與寬窄）約在 $50\ \mu\text{m}$ ，而其矽單晶基材的大小約為一吋。而在四十多年後的今天， $0.18\ \mu\text{m}$ 的線距與八吋晶圓已是工業界中普遍的製程能力，而線路的設計與製作也更加繁複。除了圖案的細小化外，積體電路製作也朝著立體發展，以便能增加單位面積內元件的容量，如目前 64 MB 的動態隨機存取記憶體 (dynamic random access memory, DRAM)，其線路就有四層之多，圖 3.3 為一 64 MB 動態隨機存取記憶體晶片。

因為線路已是如此的精細，所以落在電路上的灰塵與異物，都可能對積體電路造成傷害。因此當今積體電路的製作，都必需在對空氣與環境的

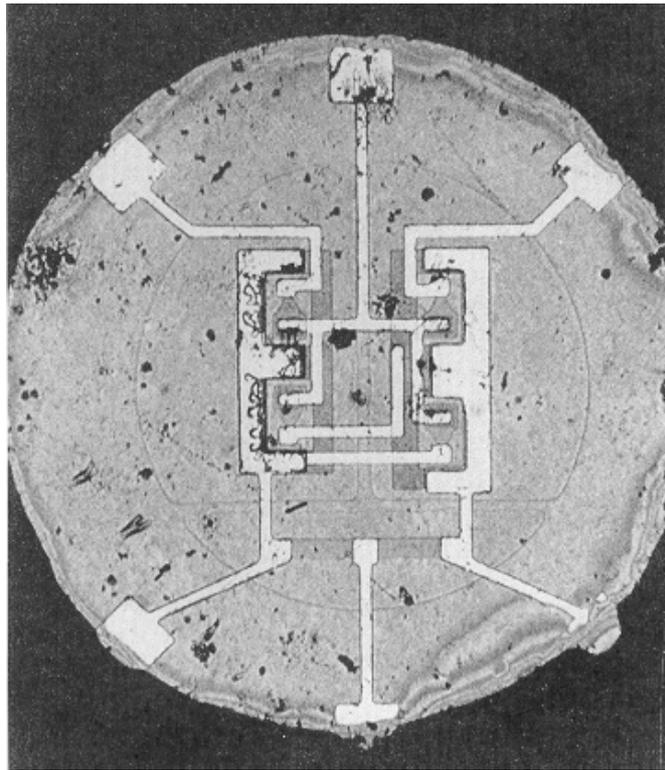


圖 3.2 第一個以矽晶圓為基材的積體電路 (Courtesy of Fairchild)

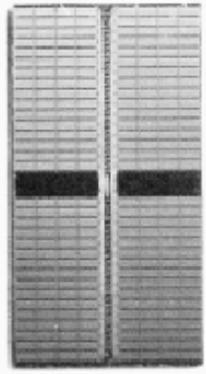


圖 3.3 64 MB 動態隨機存取記憶體晶片 (DRAM)

潔淨度、溫度與溼度有控制的潔淨室 (clean room) 中進行。而空氣潔淨度的表示是以在每立方英尺的空氣中所存在的大於某一定大小的粒子數來表示，如 Class 10 就是指在每立方英尺的空氣中，大於某一定大小的粒子數目小於 10 顆。而潔淨室中潔淨度的維持，除了在原始的設計上需避免污染的來源，如防塵地板的使用與進出人員潔淨的管制外，必需對室內的空氣不斷的進行過濾，其所用的為一般稱為 HEPA (high-efficiency particulate air) 的高效過濾網。

積體電路製作是從電路的設計與佈局開始。當設計的工作完成後，就必需將此電路設計製作成可以據以在矽晶圓上製作積體電路的光罩 (mask)。光罩的製作通常並不在積體電路製作的工廠內進行，而是在另一家專門製作光罩的工廠，如國內的臺灣光罩公司。光罩的製作是以玻璃為底材，在此玻璃底材上再加上一層鍍層。此鍍層必需對製作積體電路時所用的光源為不透光，鉻是最常見的鍍層材料。在此鍍層之上必需再塗佈上一層光阻 (photoresist)，隨後在對此光阻進行與必要的曝光 (exposure) 與顯影 (develop)，完成光罩的初步製作。這個程序與 IC 製作中常用的微影蝕刻 (lithography) 是類似的，將於本章後段中再進一步描述。初步完成的光罩可視需要再進行翻製與表面處理，完成整個光罩的製作。在複雜的積體電路中，一般而言一種積體電路製作常常需要好幾次分段的微影蝕刻，也就是說需要許多個不同的光罩。

有了光罩與矽晶圓，就可開使進行積體電路的製作。清洗矽晶圓是積體電路製作中的第一步，此外在製作的過程中，清洗的動作也一再重複的進行。清洗的動作可以是浸浴，也可以配合超音波震盪與蒸汽噴灑等方

法。清洗的製程可以是只使用純水，也可能是有酸、鹼或有機溶劑的使用。但是不論使用何種清洗，純水的清洗通常是需要的最後一道程序。因此積體電路製作廠的純水需求量，相當的大，其製程所用純水佔全廠用水之 60%~80%。如何提供與確保廠區製程所需純水的供應與品質，通常是積體電路製造廠重要的課題。因其用水量十分龐大，從環境管理的角度而言，用水回收管制就非常重要。以目前國內的新竹科學園區為例，園區內的積體電路廠其製程用水強制回收率大概在 45% 到 70% 間。清洗的製程因情形不同，而有不同的變化，RCA 程序是其中最常見的一種。其程序如下：

1. 以四氯乙烯 (tetrachloroethylene, C_2Cl_4) 清除主要的有機雜質。
2. 以 $H_2O_2 - NH_4OH$ 的鹼性溶液清除殘留的有機膜。
3. 以 $H_2O_2 - HCl$ 的酸性溶液清除金屬雜質。
4. 在去離子純水中完全浸浴洗淨。
5. 乾燥。

矽晶圓經清洗潔淨後，就開始了積體電路製作的流程，其流程自然會因產品的不同而有所差異。以積體電路中常見的 n 型 MOS 電晶體 (metal-oxide-semiconductor transistor) NMOS 為例，其製程的第一步就是熱氧化 (thermal oxidation)。矽晶圓放置在石英舟上並且於爐管中進行氧化 (圖 3.4)，在氧或水蒸氣的氣氛中經加熱後，矽將氧化生成二氧化矽 (SiO_2) 層，其反應式如下：

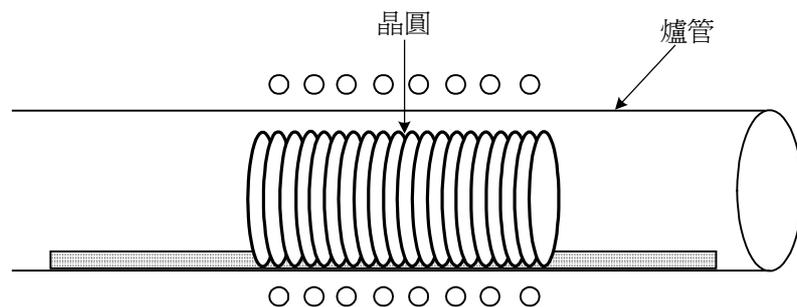
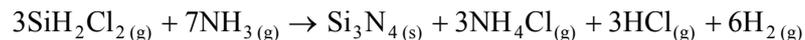


圖 3.4 矽晶圓放置在石英舟上，並且於爐管中進行氧化。

雖然二氧化矽可以以諸多不同的型態出現，如不同形式的結晶態或非結晶態。但在氧或水蒸氣的氣氛中高溫氧化所生成者，大多為 NMOS 電晶體所需的非結晶態。其介電常數 (dielectric constant) 為 3.9，能隙 (bandgap) 為 9 eV，而電阻值約在 $10^{12} \sim 10^{16} \Omega\text{-cm}$ 間。二氧化矽層常常作為介電層，所以介電常數是性質的一項重要指標。介電常數是平板電容 (parallel-plate capacitor) 中的誘電係數 (permittivity) 與相同型式的真空平板電容誘電係數的比值，即介電常數值 $\epsilon_r = \epsilon / \epsilon_0$ 。誘電係數 $\epsilon = (LQ) / (AV)$ ，L 是平板電容二平板之距離，A 是平板電容中平板的面積，Q 是此電容所能負荷之電量，而 V 是二個平板所能承受之電壓差。矽基材在半導體積體電路產業中一支獨秀，除了前一章中所提到的在長晶技術的成熟外，介電層的品質優良與製作容易，也是重要原因之一。不過隨著積體電路的細小化與電流密度的增強，二氧化矽介電層的強度漸有不符要求，而引起介電崩潰 (dielectric breakdown) 的情形，更高介電常數的材料也在近來的積體電路中被大量使用。

在 NMOS 製程中的首先生成的熱二氧化矽層僅有數百個 Å 厚度，主要作為隨後所蒸鍍上的氮化矽 (Si_3N_4) 層與矽基材的應力緩衝層。氮化矽層的厚度約在 1000 Å 到 2000 Å 間，常以低壓化學氣相沉積 LPCVD (low pressure chemical vapor deposition) 的方法蒸鍍生成。化學氣相沉積 CVD 是積體電路製程中常見的方法，而 LPCVD 是其中之一種。將二氯矽烷 (dichlorosilane, SiH_2Cl_2) 與 NH_3 混合，在 0.1 至 1 torr 的壓力下，於 700 °C 到 800 °C 左右進行下述的反應，以在二氧化矽層上生成氮化矽層。



CVD 的製程就是如上所述選擇合適的反應物，於氣相中或於基材表面反應生成沉積物；或是選擇合適的化合物，加熱生成蒸氣，於氣相中或於基材表面分解生成沉積物。

蒸鍍了二氧化矽層與氮化矽層的矽基材，將進行微影蝕刻的製程，也就是第一個光罩的製程。這個製程的目的是將接著需有離子植入 (ion implantation) 與不要離子植入的區域區分出來，其區分的方法就是將需離子植入區域上的氮化矽層蝕刻掉。微影蝕刻的製程，首先以旋轉塗佈 (spin-

on coating) 的方法，在氮化矽層上塗佈上一層光阻。常見的光阻劑為由酚醛樹脂 (novolak) 與奈醌重氮化合物 (diazonaphthoquinone, DNQ) 所組成的正型光阻劑最多。光阻塗佈後再進行烘乾與預烤 (prebake)，以去除溶劑與增強光阻在基材上的附著力。隨後進行曝光 (expose)，一定波長的光源，如稱為 I-line 的是波長為 365 nm 的光源，通過光罩投射在光阻上。於是光阻就依光罩的圖案，而分成了照了光與未照到光二種不同的區域。正型光阻通常以鹼性的顯影劑，如 NaOH 或 KOH 的溶液。在顯影劑的作用下，未照光的光阻部份將被蝕除，露出氮化矽，而留下了曾被照光的光阻，也就是複製了光罩的圖案。在顯影後尚需進行硬烤 (postbake)，以進一步增加附著力，以能承受後續的蝕刻 (etch)。隨後選擇合適的蝕刻液進行蝕刻，此蝕刻液能蝕去氮化矽，卻又不與光阻反應。而此時的矽晶圓上不需離子植佈的區域上有一薄二氧化矽層，而不需離子植佈的區域上則有氮化矽層與光阻保護著。以八吋的晶圓為例，為了解析度與精確度的要求，在微影製程中的曝光並非一次就可以覆蓋整個晶圓，而是分段逐次完成，其所依賴的是一種相當價昂稱為步進機 (stepper) 的設備。

微影製程的曝光技術有兩種主要方式：接觸式 (contact) 和投影式 (projection)，圖 3.5 和 3.6 分別為接觸式與投影式曝光。接觸式是指光罩與晶圓的表面直接接觸，因為是直接接觸所以解析度非常好，然而在經過多次使用後，光罩表面將會因為直接接觸所產生的污染而影響圖案的轉移。

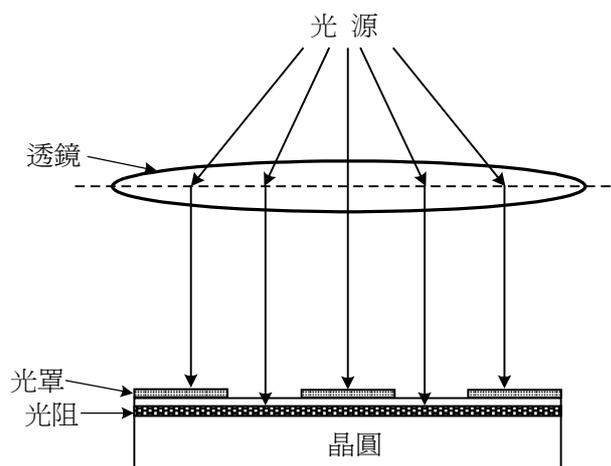


圖 3.5 接觸式曝光

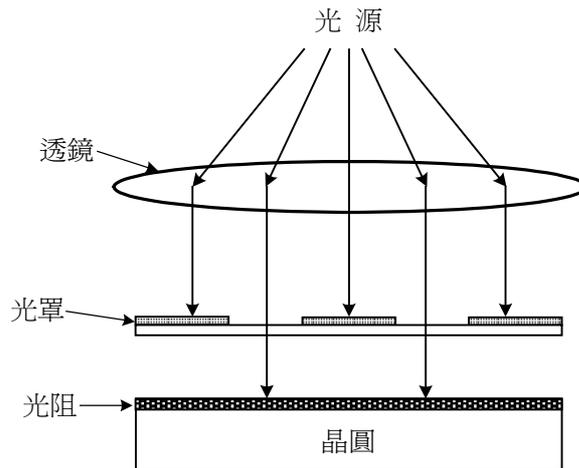


圖 3.6 投影式曝光

投影式則是利用投影的方式轉移圖案，因此不會損壞光罩的圖案，步進機是屬於投影式的曝光設備，光罩的圖案通常是轉移圖案的五倍或十倍，因此即使光罩的表面有微粒，經過縮小曝光之後微粒所產生的影響較小，同時解析度也較佳；雖然步進機的解析度佳且較不受光罩污染的影響；然而由於需要進行多次的曝光，因此在曝光過程中需要較長的時間，五倍的光罩因為較十倍的光罩有較大的產量，所以較常被採用。

蝕刻 (etching) 是積體電路製程中所常運用的一項製程，使用的時機如在微影蝕刻製程中移除不需要的部份，與在清潔的製程中移除表面的污染物。蝕刻主要分為溼蝕刻 (wet etching) 與乾蝕刻 (dry etching)。前者指的是以液態的酸鹼液或有機溶劑等作為蝕刻的媒介，而後者則指以如電漿、離子束 (ion beam) 與反應性離子 (reactive ion) 等高能的氣體來進行蝕刻。以高能量的氣體的乾蝕刻，主要是以運動粒子的動量撞擊，因此其蝕刻的情形通常是有方向性的，也就是其蝕刻是異方性的 (anisotropic) (圖 3.7)。溼蝕刻主要是利用酸鹼液或有機溶劑蝕刻，利用的是化學的反應平衡，較缺乏方向的選擇性，也就是均方性 (isotropic) 的蝕刻 (圖 3.8)。在積體電路的溼蝕刻製程中，比較特殊的是因氧化矽之故，所以普遍均使用氫氟酸 (HF)。積體電路製造業因此產生了不少的含氟廢棄物，如何處理也因此成為積體電路製造業的一項難題。

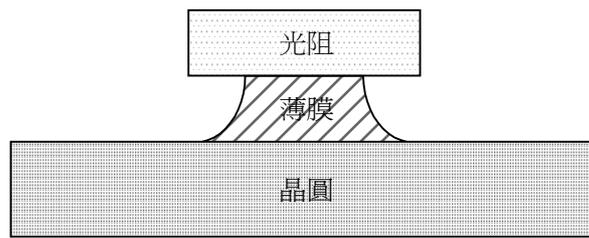


圖 3.7 異方性蝕刻

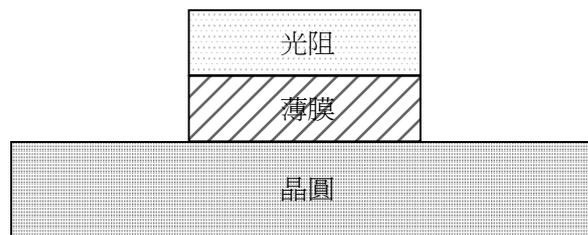
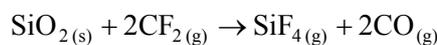
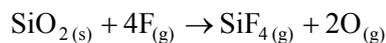
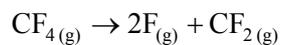


圖 3.8 均方性蝕刻

溼蝕刻反應的主要參數為：溶液的濃度、蝕刻溫度和蝕刻時間，溶液的濃度愈濃、溫度愈高、時間愈久則蝕刻的速率愈快，但是太快的蝕刻速率會造成底切 (undercut) 的現象，如果在溼蝕刻的過程中採用適當的溶液攪拌方式如超音波震盪則有助於減少底切現象的發生。氫氟酸雖然是氧化矽主要的蝕刻液，但是通常會加入氟化銨 (NH_4F) 作為氫氟酸的緩衝劑，補充蝕刻反應中氟離子的消耗。氧化矽的乾式蝕刻技術，大抵係利用含有氟化碳的電漿來進行，四氟化碳 (CF_4) 的電漿在反應過程中首先會解離成 F 和 CF_2 ，之後 F 和 CF_2 再與氧化矽進行反應生成具有揮發性的四氟化矽 (SiF_4) 化合物，反應式如下：



離子植佈是在基材中摻雜 (doping) 其它元素的方法之一。離子植佈的原理是首先選擇合適的分子，再將之解離成離子。這些離子經初步加速進入離子選擇區，依據電荷質量比，選擇需要的離子。這些離子再經最後的加速，將之撞擊在矽基材上。當加速的離子撞擊在基材上時，依離子的

動量與基材的性質不同，而有植入、反彈與黏附等不同現象發生，而離子所能植入的深度又與其離子所具有的動量及基材性質有關。因基材性質已定，離子植佈就是調整其離子之加速度，以摻雜一定濃度的所需離子至基材一定深度。在 NMOS 製程中，是以硼為離子源 (ion source)，其摻雜的濃度約為 $10^{13} / \text{cm}^2$ ，而且只有在無光阻與氮化矽層保護的區域才會有硼的佈植，圖 3.9 為在矽晶圓中離子植佈後的截面結構。在離子植佈結束後，以電漿 (plasma) 或酸液將光阻剝離。去除光阻的方法主要可以區分為乾式法和濕式法，乾式法是藉由電漿來去除光阻，利用 RF 可以將氧氣激發成氧氣電漿 (oxygen plasma)，光阻基本上是一種碳氫化合物，因此氧氣電漿可以藉由反應生成氣態的 CO_2 和 H_2O ，再藉由真空系統將生成的氣體抽離；乾式法則是藉由溶劑來去除光阻，溶劑包含了有機溶劑（如丙酮）和無機溶液（如硫酸和雙氧水），利用溶劑或溶液對光阻進行破壞，進而將光阻從晶圓表面移除。此外，亦可以同時搭配使用乾式法與濕式法，換言之同時使用氧氣電漿與硫酸和雙氧水的混合溶液來移除光阻。將晶片再投入氧化管內，如前所述進行熱氧化，以生成二氧化矽層。這層二氧化矽在 MOS 技術中，是利用其低的導電性來作為 MOS 電晶體隔離之用，稱為場氧化層 (field oxide)。因氧對氮化矽層的穿透能力相當低，所以在有氮化矽層覆蓋的部份，並不會有場氧化層的生成。值得一提的是在熱氧化的製程中，離子植入的硼會因擴散的特性往更深處移動。在氧化的製程後，氮化矽層也接著被清除。

此時的基材需再經清洗與氧化，以生成一約 100 \AA 的氧化層，此氧化層在 NMOS 中將作為閘氧化層 (gate oxide)。隨後以 CVD 的方法成長一層

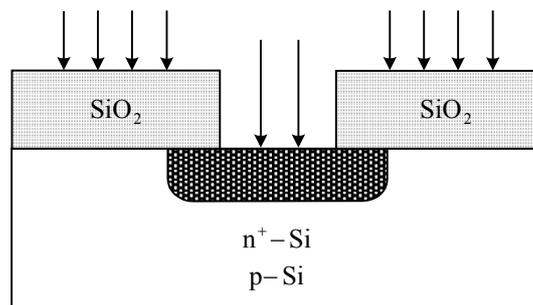


圖 3.9 在 p 型矽晶圓中摻雜離子源後的截面結構

多晶矽 (poly-silicon)，再同樣以 CVD 的方法長一層矽化金屬層 (silicide)，如矽化鎢。接著進行光罩二，即第二個微影製程，並將未有光阻保護部份的多晶矽與矽化鎢蝕刻，最後將殘存的光阻移除。繼續將矽基材移入擴散爐 (diffusion furnace) 中，以磷作為摻雜源，進行磷的摻雜，摻雜的濃度約 $10^{13} / \text{cm}^2$ 。擴散摻雜的製程原理，是利用基材對所摻雜物的溶解度 (solubility)，於爐中保持較高的摻雜物濃度，因基材中摻雜物的濃度較低，因為化學勢 (chemical potential) 的差異，自然驅使摻雜物進入矽基材中。接著以 CVD 方法成長一層二氧化矽，再利用乾蝕刻的非等方性 (anisotropic) 特性，除去正面的二氧化矽，而保留了側邊的二氧化矽，作為隔離 (spacer) 之用。完成閘極側壁隔離的製作後，再以砷為摻雜源，進行 $10^{15} / \text{cm}^2$ 濃度的重摻雜 (heavy doping)，NMOS 至此已完成了所需源極 (source)、汲極 (drain) 與閘極 (gate) 的製作。

當 NMOS 電晶體通道的長度減少，NMOS 電晶體的速度會更快，但在通道小於某一長度之後會衍生一些現象，這些現象稱之為短通道效應 (short channel effect)，為了處理短通道的問題，將閘極氧化層厚度降到 100 \AA 以下是其中一個解決方式，然而當閘極氧化層厚度減少時，將會造成漏電電流的增加、崩潰電壓的降低與使用壽命的減少，因而必須嚴格控制閘極氧化層的品質並減少缺陷密度的發生，圖 3.10 為摻雜離子源並且成長氧化層之後的電晶體截面結構。以二氧化矽作為閘極介電層的技术雖然厚度已經可以薄至 30 \AA ，然而即將接近其極限；選用高介電常數材料，則閘極介電層的厚度可以增厚，因此選用介電常數較高的材料將可能是未來的趨勢，未來的閘極介電層材料除了須具備高介電常數的特性之外，與矽晶

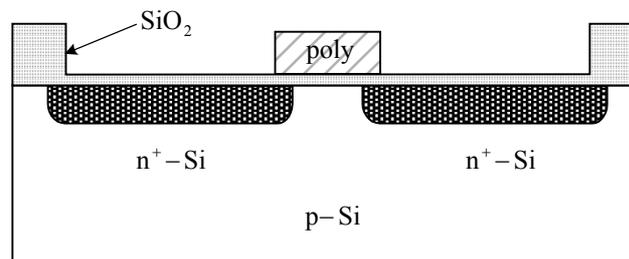


圖 3.10 摻雜離子源並且成長氧化層之後的 NMOS 電晶體截面結構

圓表面能夠有良好的附著能力也是高介電常數材料必須具備的條件之一，幾種可能的材料包括： Ta_2O_5 ， Al_2O_3 ， ZrO_2 。

接續的製作則是把積體電路上各元件（含電晶體）加以連接，也就是金屬化 (metallization) 的製程。為了後續金屬層的添加，先以 CVD 方法蒸鍍上一層硼磷矽酸鹽玻璃 (borophosphosilicate glass, BPSG) 的介電層，再將矽晶片送入爐中加熱回流 (reflow)，以得到較平坦的介電層。在多層連線的積體電路製作中，除了近來非常熱門的化學機械研磨法 (chemical mechanical polishing, CMP) 外，BPSG 的回流 (reflow) 是最常見的平坦化方法 (planarization)，比較圖 3.11 和 3.12 可以發現 BPSG 回流之後的表面較為平坦。緊接著以微影製程將需金屬導線的區域的 BPSG 蝕刻掉。在積體電路中鋁是最常用的金屬導線材料，但是鋁很容易與矽反應，所以在濺鍍 (sputtering) 上鋁之前，需先濺鍍上如鈦的障層 (barrier)，以隔絕鋁與矽的接觸，最後才濺鍍上鋁。濺鍍的原理是在極板間對電漿施以

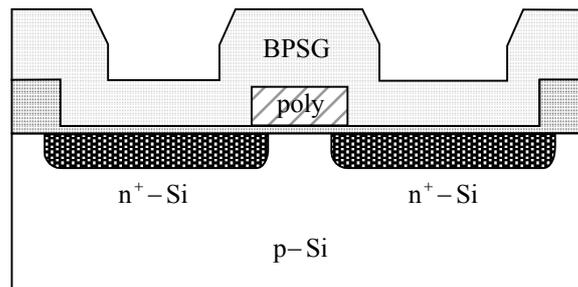


圖 3.11 硼磷矽酸鹽玻璃 (BPSG) 回流前的 NMOS 電晶體截面結構

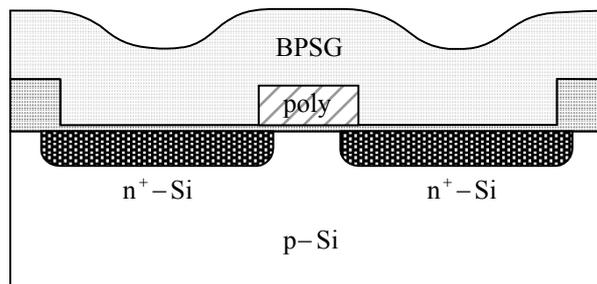


圖 3.12 硼磷矽酸鹽玻璃 (BPSG) 回流後的 NMOS 電晶體截面結構

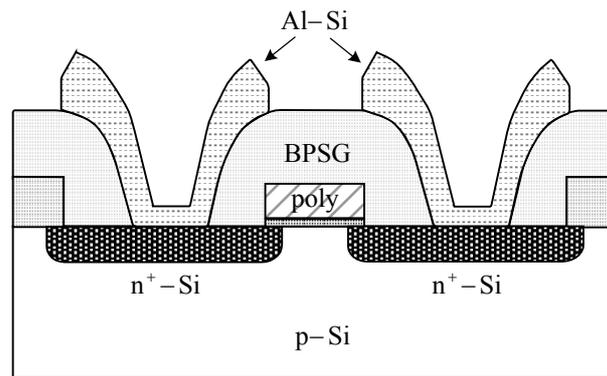


圖 3.13 完成金屬連線的 NMOS 電晶體結構

電壓，經加速的離子撞擊靶材 (target)，將所欲濺鍍的元素撞出，經電場的導引將所撞出的濺鍍元素沉積在矽晶圓上。已完成內部金屬線路的矽晶圓，將以 CVD 的方法鍍上保護層，再以微影製程的方法製作供後續電子構裝連線所需的鋁墊 (aluminum pad)，就完成了積體電路的製作，圖 3.13 為完成金屬連線的 NMOS 電晶體結構。

除了濺鍍之外，亦可以利用蒸鍍 (evaporation) 方式在矽晶圓表面鍍上鋁，蒸鍍的原理是利用直流電源將蒸鍍源加熱使得蒸鍍金屬材料蒸發，或是利用電子槍的電子束將蒸鍍金屬擊出，並鍍在矽晶圓表面。蒸鍍技術的成本較低，速率較快，然而金屬層的品質不易控制，附著力也較差；濺鍍技術可以控制金屬層的品質，且附著力極佳，但是速率慢且成本高。

在金屬化的製程中，鋁金屬因為可以與矽半導體形成歐姆接觸，同時可以附著在 SiO_2 上，加上容易進行金屬薄膜的沉積和蝕刻，因此是 VLSI 製程中最常見的金屬材質。然而隨著線寬的縮小，將造成金屬連接線 RC 時間的延遲，為了解決此一問題，因此必須改採導電特性極佳的金屬 (銅) 來作為連接線的金屬材質。然而銅製程最大的問題在於銅不易蝕刻、銅在空氣中容易氧化與銅的污染，如今美國 IBM 等公司已經大致解決了銅製程相關的問題。基本上，銅金屬薄膜可以利用濺鍍、電鍍 (electroplating) 和無極電鍍 (electroless plating) 等方式來製作。當銅的薄膜形成後，由於銅不易以鹵化物的乾式電漿來進行蝕刻，因此必須藉著所謂的大馬士革 (damascene) 製程，此一方法是利用蝕刻 SiO_2 來取代銅金屬的蝕刻，進而

形成導體圖案，之後再於完成 SiO_2 蝕刻的晶片上沉積一層鉍或鉍的氮化物作為阻障金屬層，再經過銅的沉積與化學機械研磨進而完成整個製作流程。



參考文獻

1. W. R. Runyan and K. E. Bean, “Semiconductor Integrated Circuit Processing Technology”, Addison-Wesley, Reading Massachusetts, (1994).
2. W. R. Runyan, “Silicon Semiconductor Technology”, McGraw-Hill, New York, 1974.
3. 莊達人，VLSI 製造技術，高立圖書，台北市，2002。
4. 蔣世安與黃俞昌，工程月刊，pp.19-27, 1996。
W. F. Smith, “Foundations of Materials Science and Engineering”, 2nd ed., McGraw Hill, New York, (1993).
5. Hong Xiao, “Introduction to Semiconductor Manufacturing Technology”, Prentice-Hall Inc., New Jersey, (2001).
6. B. G. Streetman and S. Banerjee, “Solid State Electronic Devices”, Prentice-Hall Inc., New Jersey, (2000).



本章習題

1. 何謂 8 吋晶圓？何謂 $0.35 \mu\text{m}$ 製程？何者與積體電路的集積度 (integration) 有關？
2. 何謂化學氣相沉積？
3. 試比較接觸式曝光與投影式曝光的差異？
4. 何謂微影蝕刻？
5. 銅製程有哪些問題，如何解決這些問題？

