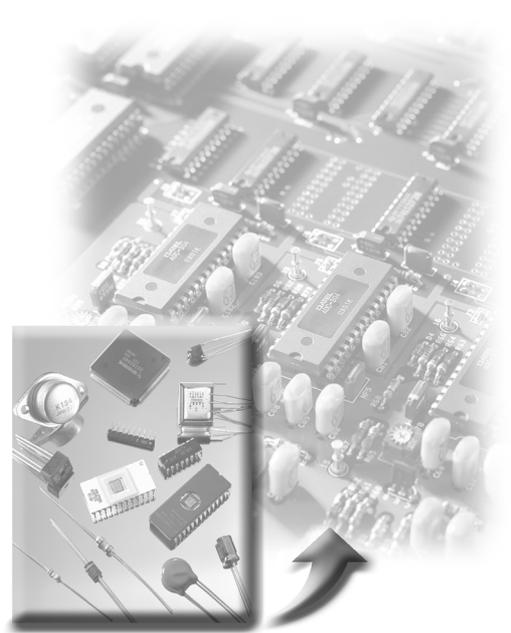


# chapter 16

## 覆晶接合



**自**從 1950 年代以來，半導體工業逐漸萌芽，1961 年首次有積體電路 (integrated circuit, IC) 出現在市場上，隨即帶動一波波日新月異的革新，而帶動了電子工業蓬勃發展，帶給人類便利的生活，舉凡電腦、電視、通訊器材、汽車乃至於軍用電子用品。而如同現今盛行之大哥大諸類電子產品，要求輕、薄、短、小、高功能及低成本，依此趨勢發展。IC 晶片 (chip) 是電子產品的心臟，其中各元件之電源能量、電路訊號均需藉由電路聯線 (interconnection) 來傳遞以達到 IC 晶片所設計之效果。不僅如此，IC 晶片仍需藉由電子構裝 (electronic package) 來保護以確保功效。電子構裝包括了數個層次：

1. 第零層次構裝：晶片。
2. 第一層次構裝：晶片層次構裝 (chip level package)。
3. 第二層次構裝：卡層次構裝 (card level package)。
4. 第三層次構裝：板及次系統層次構裝 (board and subsystem package)。
5. 第四層次構裝：系統層次構裝 (system package)。

而其中的第一層次構裝聯線技術則包含了：

1. 鐳線接合 (wire bonding)。
2. 捲帶自動接合 (tape automated bonding, TAB)。
3. 覆晶接合 (flip chip bonding/controlled collapsed chip connection, C4)。

何種構裝聯線技術被採用則取決：成本價格、電路元件與構裝基板上電路輸入輸出端點 (I/O) 數目的多寡及間距等因素來決定，圖 16.1 為此三種

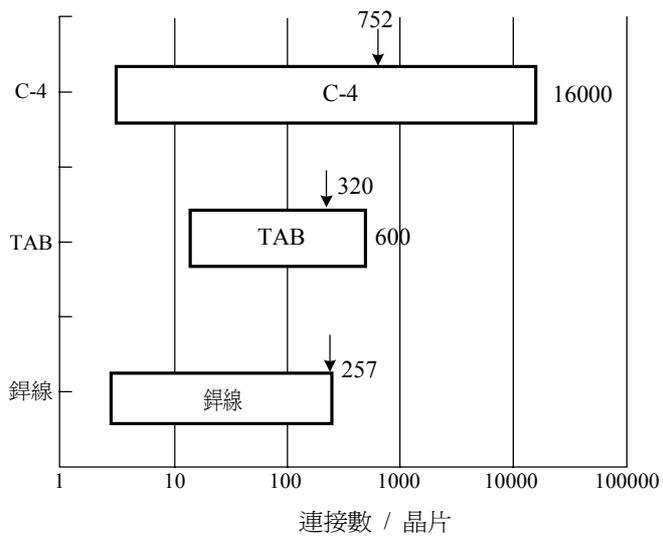


圖 16.1 各種聯線技術在不同 I/O 數之應用範圍

聯線技術在不同 I/O 數之應用範圍，其中可見 C4 可適用較大範圍的 I/O 數，然而成本價格的考量則成為 C4 何時可被廣泛採用於量產的決擇點。

覆晶技術被採用基本上是基于結構因素 (form factor) 及功能的考量，尤其是 TAB 及鈹線接合所未能達成的。例如在可攜帶式產品的使用，就是利用覆晶的低輪廓 (low profile) 的特性，而在高層次系統產品的使用上則藉由覆晶技術使用在高腳數應用上，也因此有覆晶球柵陣列 (flip chip ball grid array, FCBGA) 的產品。在高級電腦及電信系統上，則需要最短的聯線長度及最小電感，惟有覆晶聯線可提供如此的功能。另外，覆晶也可提供晶片裸露來提高散熱能力。

覆晶技術可使用於覆晶封裝 (flip chip in package, FCIP) 與覆晶上板 (flip chip on board, FCOB) 之構裝上如圖 16.2 所示，覆晶封裝是先將具有凸塊 (bump) 之晶片反轉接合至基板上而經封裝後再接合於印刷電路板上，此種構裝仍可將不良晶片經電性量測而檢出，而覆晶上板之構裝則直接將具有凸塊之晶片反轉接合至印刷電路板上，再封裝，因此覆晶上板之構裝方式無法做不良晶片之檢出，覆晶上板之構裝亦稱為直接晶片黏著 (direct chip attach) 之構裝方式。

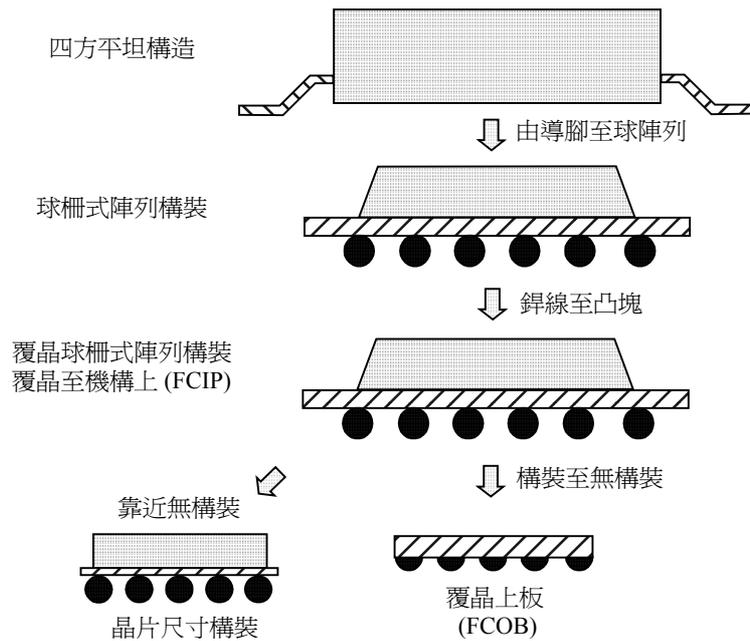


圖 16.2 高密度電子構裝之發展趨勢

覆晶技術可提供以下優勢：

### 1. 高密度 (High Density)

對覆晶接合而言，在晶片底下之區域均可用來做 I/O 的分配，使得覆晶接合比僅能作周圍式打線接合更能提供較高密度之接合，因此晶片尺寸可縮小。

### 2. 集團接合

所有晶片之 I/O 可經由單一動作而完成與基板連結，在製程成熟後，會有較高良率及低成本。

### 3. 改良電性功能

覆晶提供了由晶片至印刷電路板最近的聯線長度，減少了電渦流產生而提升了電性功能。

### 4. 自動對位

在覆晶構裝之錫料對流接合時，當晶片放置在排列好之溶解錫料的上

方時，晶片會自動對位，而擴大了製程誤差的容許範圍，換言之，可提升良率。

### 5. 信賴性佳

在汽車工業中，覆晶接合如 FCOB 有極佳之信賴性，I/O 聯線也由打線接合的三部份之傳遞：晶片 / 金線，金線 / 導線架及導線架 / 印刷電路板轉變成一部份之傳遞：晶片 / 印刷電路板，不僅可提升信賴性，其產能及良率也因著減少聯線次數而提供。

### 6. 製造性良好

覆晶之集團接合僅需較粗略之精準度，是一製造性良好之接合技術，覆晶接合亦可去除打線接合在高 I/O 聯線構裝時會有金線偏移的不良缺失。

不必諱言，覆晶接合也有以下所列之缺點：

#### 1. 與鐳線接合有阻隔

鐳線接合到目前為止，仍然可滿足大部份電子構裝所需要。因著整個架構已完全建立良好，此一製程是健全完整的，並且設計者已熟悉周圍式接合墊片 (bond pad)，而覆晶接合尚需接受考驗，不管如何在即將來臨的數年內鐳線接合將面臨重大挑戰，因著晶片尺寸縮小，晶片接合座間距縮小，其線徑減縮而線長增長，鐳線接合精密度需提高，如此金線偏移及電感也成了重大課題，覆晶接合展現其未來優勢。

#### 2. 需較高成本

量產製程是否被採用取決於成本。IBM 的 C4 技術已被採用數十年，因其用於高功能系統較不受成本的限制。而在消費性產品如相機、攝影機及電腦等則有體積縮小的走向，使得需要使用覆晶接合技術。但是如果覆晶接合技術未能提供具低成本之解決方式，覆晶接合技術將無法使用於成本敏感的消費性產品。

#### 3. 尚有信賴性考量

因著矽晶片與所安置基板的熱膨脹係數的差異，而可能引起覆晶接合處因熱循環而產生機械應力，導致破裂或者在接合處及晶片活動區遭

遇關於信賴性之問題。尤其在使用有機基板時更加嚴重，此乃因為有機基板與矽晶片的熱膨脹係數之差異極大。底膠 (underfill) 是一極佳的解決方法。另外， $\alpha$  粒子所產生的 soft error 問題仍然是急待解決的問題，此問題會因著覆晶接合的使用而惡化。

#### 4. 欠缺檢出良好晶片能力

FCOB 是否被採用最主要取決於檢出良好晶片 (know good die, KGD)，在第二層次電子構裝：板電子構裝之良率取決於直接上板之晶片良率，尤其是在有數個 FCOB 的模組其良率更是與 FCOB 的數量成乘積的關係，因此 KGD 測試的發展是非常重要的。

#### 5. 未有成熟之技術架構

對任何技術來說，一個已有良好發展的架構如設備、製程及材料是對其往後成長及被採用是非常重要的。目前，覆晶接合技術之整個架構尚在發展中，其中全世界缺乏有良好發展架構是覆晶接合技術推廣之最大阻礙。以下列舉了覆晶接合技術尚待發展完全的項目：

- (1) 晶片長凸塊之服務。
- (2) 合格覆晶接合基板。
- (3) 低價高密度基板。
- (4) 精準安置凸塊晶片之設備。
- (5) 經改良具流速快及快速交聯之底膠。

晶片尺寸構裝 (chip size package, CSP) 一般由電子構裝大小與晶片大小之關係來定義，EIAJ/JEDEC 定義 CSP 為構裝邊緣尺寸小於晶片之 1.2 倍，目前有超過 40 種之 CSP 已被發表，CSP 大致上可分為四類 (如表二所示)：

1. 軟性電路基板類 (flex substrate based)。
2. 硬性電路基板類 (rigid substrate based)。
3. 導線架類 (lead frame based)。
4. 晶圓層次電子構裝 (wafer level packaging)。

因著高密度及功能上的考量，許多 CSP 是由覆晶接合技術構成的。FCCSP 已被認為是可使產品最小化並具高功能、可大量量產及低成本之電子構裝，而即將被廣泛使用之構裝方式。

覆晶接合可使用：(1) 金屬接合：如錒錫凸塊與金凸塊接合及 (2) 非金屬接合：如高分子導電性及非導電性材料接合。一般錒錫凸塊分為兩類：(1) 高鉛錒錫凸塊 (high lead solder bump) 如 5 wt% Sn/95 wt% Pb 或 3 wt% Sn/97 wt% Pb 及 (2) 共熔錒錫凸塊 (eutectic solder bump)，63 wt% Sn/37 wt% Pb。其中以錒錫凸塊接合佔最大宗。其流程為將助焊劑 (Flux) 塗在基板座上，之後將有錒錫凸塊之晶片對準安置在基板上、流焊、清洗、點底膠及烘烤。高鉛錒錫凸塊覆晶首先是由 IBM 在 1960 初所發展出來的技術，此一技術也就是所謂反轉式晶片接合 (controlled-collapse chip connection, C4)，IBM 一般使用 5 wt% Sn/95 wt% Pb 錒錫，其固態化與液態化溫度分別為攝氏 308 及 312 度，所用的基板為陶瓷，圖 16.3 顯示了 IBM 之 C4 技術，包含了兩項基本的構裝工作：晶圓凸塊形成及基板備製。球限制金屬化 (ball limiting metallurgy, BLM) 或稱為凸塊底部金屬化 (under bump metallurgy, UBM) 之產生是晶圓凸塊形成中最重要的工作。因為 BLM 提供了晶片表面金屬之錒錫潤溼的區域，BLM 包含了三層組合：(1) 接著與阻礙層；(2) 潤溼層及 (3) 氧化阻礙層。對大部份 C4 凸塊的架構來說，接著與阻礙層包含了 Cr 層 (約  $0.15\ \mu\text{m}$ ) 與 Cr/Cu 層 (約  $0.15\ \mu\text{m}$ )，此層的功用在於能與 Al 座鈍化層形成強的鍵結並阻止 Cu 的擴散。而潤溼層則由 Cu 層 (約  $1\ \mu\text{m}$ ) 所形成，此層必須至少在流焊過

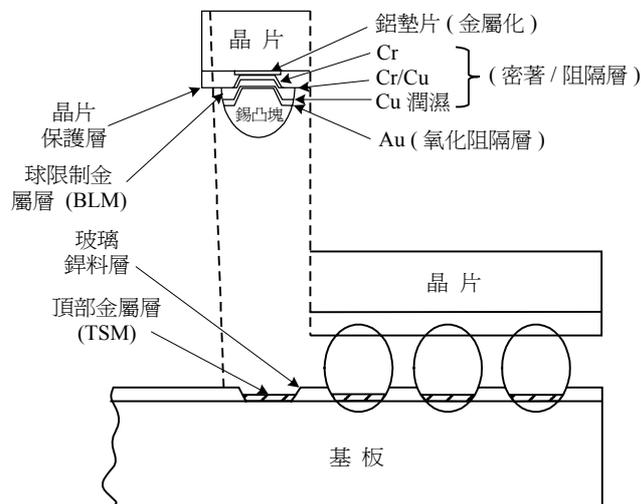


圖 16.3 IBM 之 C4 技術

程中均能保持完整。氧化阻礙層則由 Au 層 (約  $0.15\ \mu\text{m}$ ) 所構成，是用來保護 Cu 層以防止氧化。頂部金屬化 (top surface metallurgy, TSM) 之產生是陶瓷基板中最重要之步驟。因為 TSM 提供了鉛錫凸塊與覆晶之接合，TSM 包含了鍍 Ni 層 ( $3\sim 4.3\ \mu\text{m}$ ) 及鍍 Au 層 ( $0.1\sim 2.5\ \mu\text{m}$ )，Ni 層最主要是提供鉛錫之潤溼性，Au 層則提供防止 Ni 層氧化的功能。IBM Yasu 在 1990 已經發展出鉛錫凸塊與有機 PCB 接合之電子構裝技術，此一技術乃是利用共熔鉛錫具較低之熔點 ( $183^\circ\text{C}$ )，使得可在低溫與有機 PCB 接合。圖 16.4 顯示了共熔鉛錫凸塊與有機 PCB 覆晶接合技術，其中底膠則用來對抗因矽晶片與 PCB 間熱膨脹係數不相稱所產生之應力。

螺栓凸塊覆晶接合是將每個 I/O 都有螺栓凸塊之晶片與塗有導電性膏的基板座接合並將熱固性膠充填在晶片與基板間 (如圖 16.5 所示)，晶片之螺栓凸塊可由鉛線機備製，提供了具經濟效益及可靠的凸塊備製方法，

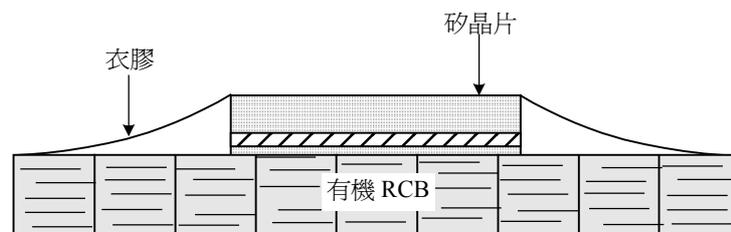


圖 16.4 共熔鉛錫凸塊與有機 PCB 覆晶接合技術

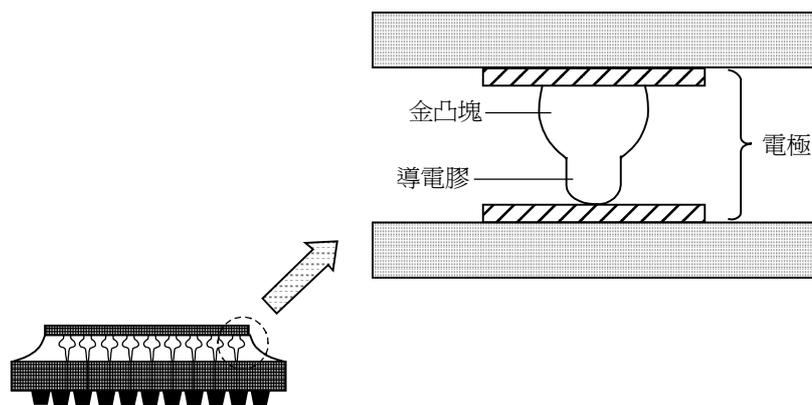


圖 16.5 螺栓凸塊覆晶接合技術

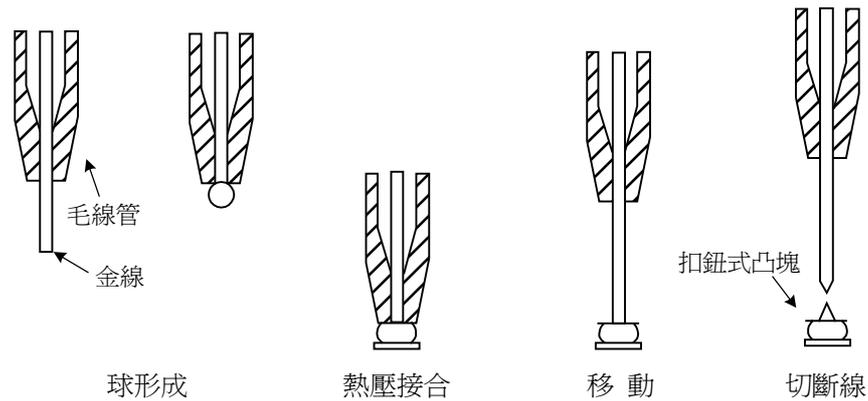


圖 16.6 傳統式螺絲凸塊製備流程

圖 16.6 顯示了螺絲凸塊製備類似於鎘線製備，同樣有球形成、熱壓接合及移動等步驟，只是多了切線步驟。而導電性膏則利用擠壓方式將特定量的膏置於基板座上，進行烘烤。熱固性膠之充填是藉由點膠方式充填在晶片與基板間，隨後進行烘烤，需要注意的是要提供足夠的膠之內圓角 (fillet) 以確保足夠的密封及強度。

膠式覆晶是使用高分子膠材為覆晶聯線，大致可分為兩類：一為導電性膠，另一為非導電性膠。導電膠式覆晶可提供高散熱性、良好機械接合及良好電性，這是鎘錫凸塊覆晶所無法達成的。非導電膠式覆晶則可提供高產能及高度熱穩定的膠材，使得能提供較佳之耐熱衝擊性。

導電膠式覆晶接合提供了與共熔鎘錫凸塊覆晶接合同樣可使用於低溫之接合，此類膠材一般是環氧樹脂，而將導電粒子充填其中，可與基板如金屬、陶瓷、玻璃、有機疊合板及成型塑膠有強而持久的接合並提供導電之聯接，導電膠可分為同向性與異向性導電膠。

同向性導電膠是利用數量極多的導電粒子置入膠中形成三度空間之同向性導電（如圖 16.7 所示），其導電粒子可能是銀、鎳及金粒子。目前同向性導電膠覆晶接合（如圖 16.8 所示）被廣泛用於液晶顯示器之軟性電路與印刷電路板之接合。

異向性導電膠是藉由導電粒子在所要的區域與導電基板有物理性的接觸與聯結。此類膠含有導電粒子與絕緣主體，銀是最廣泛使用之導電粒子，異向性導電膠是被設計成僅在 Z 方向許可導電而在 X-Y 平面上不導

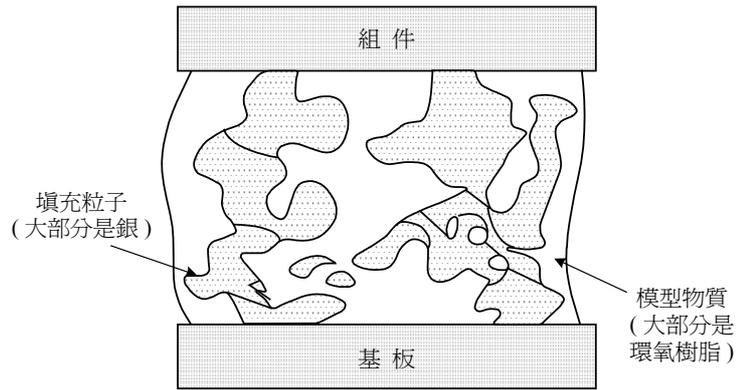


圖 16.7 同向性導電膠覆晶接合技術

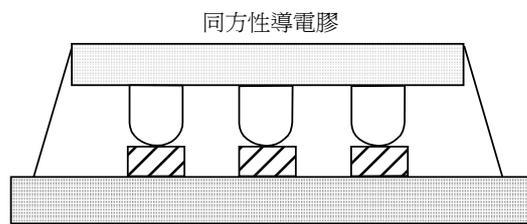


圖 16.8 同向性導電膠覆晶接合技術

電，乃因在 X-Y 平面上僅有極少許的導電粒子分佈在樹脂內。圖 16.9 顯示了異向性導電膠式覆晶接合，目前異向性導電膠共有兩種出現在市場上：一為液態異向性導電膏，另一為異向性導電薄膜，目前異向性導電薄膜正廣泛使用在軟性電路與玻璃之接合。

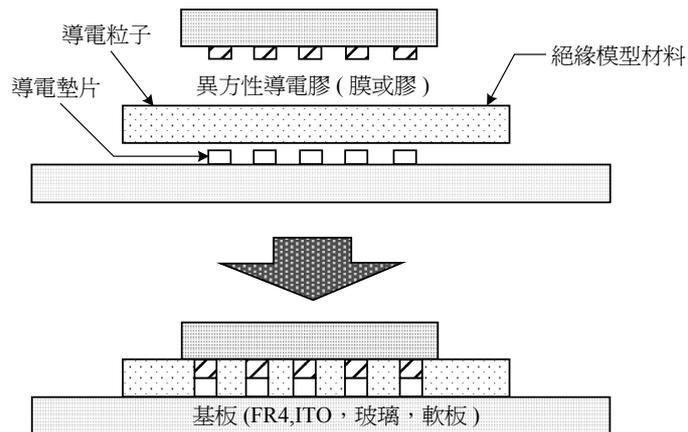


圖 16.9 異向性導電膠覆晶接合技術

因著同向性導電膠及錫錫材料不易使用於細間距聯接 (fine pitch connection)，因而另外兩種覆晶接合方式被開發出來，一為採用非導電性膏，另一為採用非導電性膠片，圖 16.10 為採用非導電性膏覆晶接合的例子，而圖 16.11 則為採用非導電性膠片覆晶接合的例子。

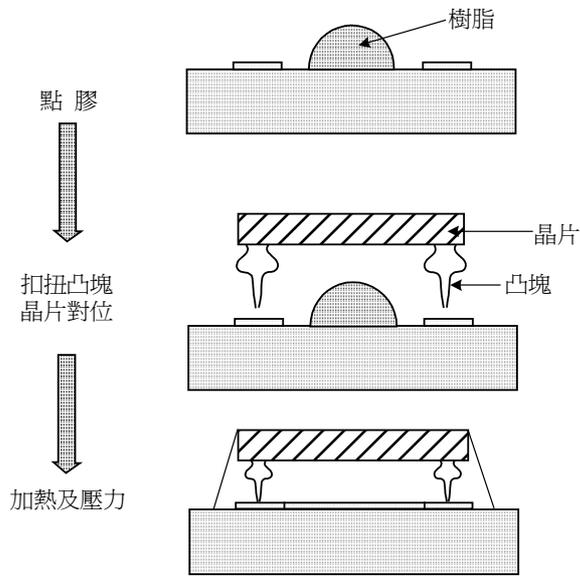


圖 16.10 非導電性膏覆晶接合技術

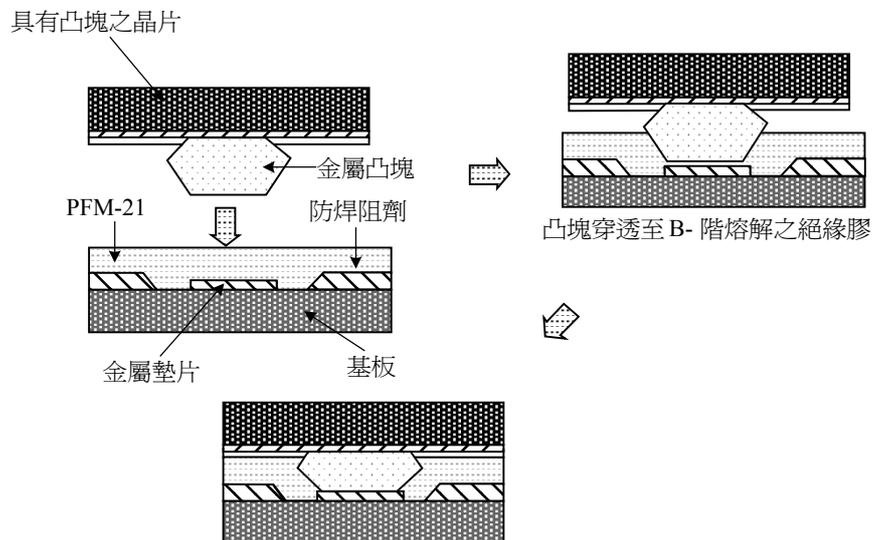


圖 16.11 非導電性膠片覆晶接合技術

銲錫覆晶接合為目前最廣泛使用的技術，以下特對此接合技術作失效機構之探討。覆晶聯線的失效機構取決於 BLM 及 TSM 之結構、材料及銲錫接點，而銲錫接點則受製造參數及操作環境所影響。

### 1. 銲錫接點疲勞 (Solder Joint Fatigue)

因著晶片與基板之熱膨脹之不相稱而造成每一銲錫接點有剪切位移，此類位移在熱或功能循環會導致低循環疲勞失效。圖 16.12 顯示了此類位移，必須注意的是臨界點是在：(1) 銲錫與基板外圍接點處及 (2) 晶片與銲錫內圍接點處。圖 16.13 顯示了不同製造條件所產生的影響，在較低溫（約 340°C）及低數目（約 10）之流焊模式下其裂縫開始於 BLM/ 銲錫介面周圍，然後，往整個銲錫延伸。而在高溫（約 365°C）及高數目 (>10) 之流焊，其裂縫開始於 TSM/ 銲錫介面周圍，裂縫則向內延著易碎的 Au/Sn 介金屬與銲錫介面破裂開來。此類失效是因為 Au/Sn 介金屬在 TSM 與銲錫介面之成長比 BLM 與銲錫介面之成長快速而產生，尤其是在 TSM 有較厚的接合層（典型為 Au）結構時較易產生如上所說明的失效模式變換。

### 2. 內部擴散 (Interdiffusion)

內部擴散會引起銲錫接點之化學、物理及微結構上改變，而導致介金屬的產生，使得使得銲錫接點疲勞。在形成銲錫接點之流焊過程中，嚴

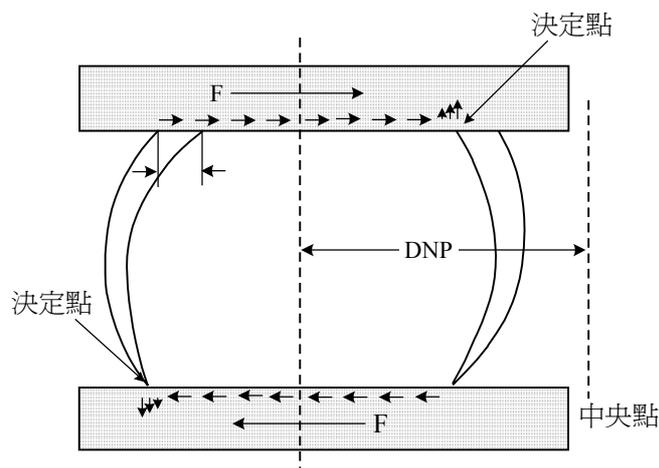


圖 16.12 Pb/Sn 銲錫接點力量與位移之側面圖

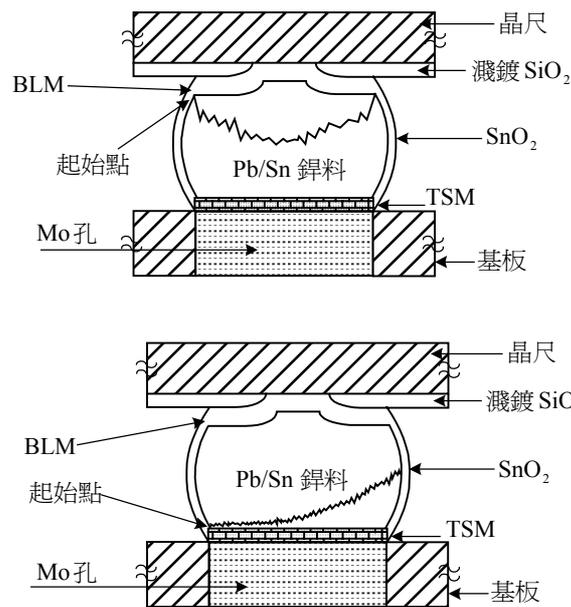


圖 16.13 迴焊溫度及次數在 Pb/Sn 錫錫破裂起始處之影響

重的內部擴散反應可能會發生會導致：(1) 將基本金屬溶解於焊接劑中；(2) 在介面形成介金屬及 (3) 在鉛錫接點中有介金屬沉澱。

在流焊時，基本金屬溶解於焊接劑內，而在焊接劑活性機構與間產生介金屬，多少基本金屬溶解則取決於其在焊接劑內的溶解度，而介金屬的形成則取決於在基本金屬內活性元素的溶解度。倘若固態焊接劑與基本金屬是超飽和，多餘的介金屬會在焊接點形成，而對焊接點固化後會產生信賴性之問題。例如，金與熔化之焊接劑接觸後會快速溶解而形成金 / 錫介金屬，此介金屬會導致在熱循環時產生焊接處碎化。在增加了易碎的介金屬厚度與焊接介面處之鉛錫含量，因著介金屬向外成長而枯竭。無錫的焊接點是一軟性，且鉛豐富層則臨近於易碎金屬，產生了裂痕而可能於熱循環時繁殖擴增，圖 16.14 顯示了鉛 / 錫焊接金屬結構，其包含了 BLM- 焊接劑與 TSM- 焊接劑間之金屬。BLM- 焊接劑介面由原先無 Cu 經流焊而轉變成含有  $\text{Cu}_3\text{Sn}$  與  $\text{Cu}_6\text{Sn}$  等金屬，Cu/Sn 介金屬是延著 BLM- 焊接劑介面在經過多重流焊所產生的連續層。

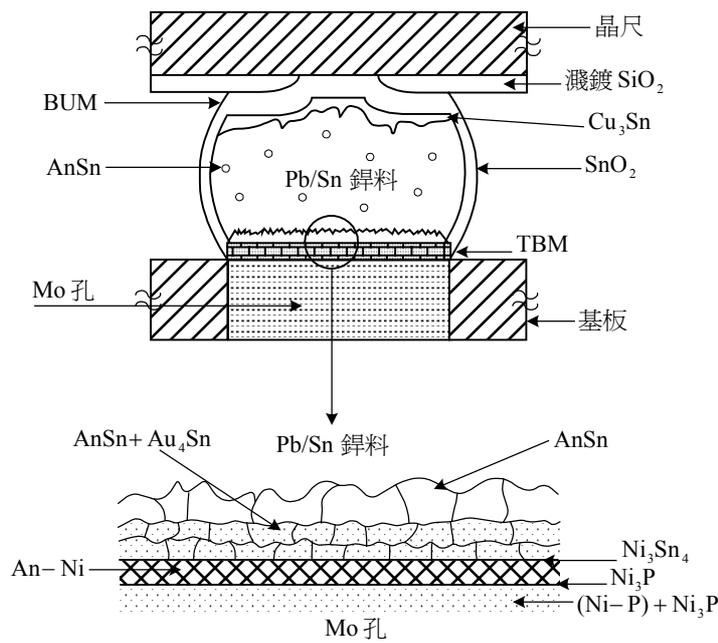


圖 16.14 Pb/Sn 鉛錫接點之金屬結構

金薄膜與鎳在較低的接合層也可能與 Pb/Sn 焊接劑中之 Sn 反應而形成介金屬化合物如  $\text{Ni}_3\text{Sn}_4$ ，不管如何，此類介金屬成長遲緩，甚至在多重流焊後也不會造成任何問題。鄰近於 Ni 介金屬層是金之介金屬層，包含了許多成份而有許多組成等級。 $\text{Au}_4\text{Sn}$  則形成於合成的金層最接近處。在 Pb/Sn 焊接劑的表面層可能有 Sn 豐富化，乃是因著在不同組成物質與環境中的氧有不同的動力反應。在 Pb/Sn 的豐富化乃因在室溫下 Sn 之擴散速率比 Pb 自行擴散速率快，因此， $\text{SnO}_2$  之氧化薄層會有在焊接表面形成。

### 3. 腐蝕 (Corrosion)

在覆晶聯線系統中腐蝕相關之失效大致分為兩類：在焊接聯線處或在晶片及基板處的金屬層處。焊接點的化學反應性與環境影響了腐蝕之動力。高溫、潮溼及有高反應性鹵化合物（例如來自底膠或助焊劑殘留物）而更易見到腐蝕相關之失效。在 60 Pb/40 Sn 焊接劑，水氣則成了影響疲勞失效的重要因子，經改良具抗水性底膠可減低腐蝕相關之失效。

覆晶技術正值開花結果的時候，何種覆晶技術將成爲主流則有待時間的考驗，其中相關製程、設備及材料正不斷開發進步，惟有能提供低成本、高產能、信賴性佳、高散熱性及良好電性功能之覆晶技術將成爲最大贏家。在共熔點鉍錫覆晶接合技術相關製程正蓬勃發展，其中免清洗型助焊劑的開發正緊鑼密鼓進行中，其中助焊劑之殘留物問題仍尙待釐清解決。不管如何，本文所提之覆晶接合技術皆曾有產品出現在市場上，在即將來臨之數年，勢必將會看到更多的覆晶接合產品。



## 參考文獻

1. James E. Morris, Workshop on “The Design and Processing Technology of Electronic Packaging”, 1997.
2. Rao R. Tummala, Eugene J. Rymaszewski and Alan G. Klopfenstein, Microelectronics Packaging Handbook, Part II, 1997, Published by Chapman & Hall.
3. Thomas W. Goodman and E. Jan Vardaman, FCIP and Expanding Markets for Flip Chip, July 1997, Published by TechSearch International, Inc.
4. John H. Lau, Flip Chip Technology, Published by McGraw-Hill.
5. Darryl J. Small and Brian Eisenach, Electrically Conductive adhesives as an Alternative to Solder, Advanced Packaging, January 1999, P.39.
6. Satoshi Ito, Masaki Masaki Mizutani, Hiroshi Noro and Makoto Kuwamura, A Novel Flip Chip Technology Using Non-Conductive Resin Sheet, Nitto Denko Corporation.
7. Michael Percht, Integrated Circuit, Hybrid, and Multichip Module Package Design Guidelines, 1994, Published by John Wiley & Son.



## 本章習題

1. 何謂覆晶？
2. 覆晶接合之方式有那幾種？
3. 何謂晶圓凸塊？
4. 何謂 UBM？